

DOI:10.16136/j.joel.2022.02.0325

基于 DPRAP 的高级残差预测算法可重构设计与实现

谢晓燕^{1*}, 王淑欣¹, 朱 筠², 张西红¹, 姬申涛¹

(1. 西安邮电大学 计算机学院, 陕西 西安 710121; 2. 西安邮电大学 电子工程学院, 陕西 西安 710121)

摘要: 针对三维高效视频编码(three dimensional-high efficiency video coding, 3D-HEVC)中高级残差预测(advanced residual prediction, ARP)算法没有充分利用深度图的数据特性而导致编码时间长、硬件加速资源占用率高的问题,提出了一种基于可重构硬件实现的 ARP 快速选择算法。本文首先依据深度图的数据特性将其分为近中远 3 个区域,然后设定阈值对不同区域下的高级残差预测算法进行快速选择,从而达到减少编码时间的目的。实验结果表明与标准平台 HTM-16.1 相比快速选择算法在平均峰值信噪比(peak signal to noise ratio, PSNR)的损耗仅为 0.019 dB 的情况下编码时间降低 8.10%。最后利用动态可编程可重构阵列处理器(dynamic programmable reconfigurable array processor, DPRAP)对 ARP 快速选择算法进行并行加速,再基于阵列处理器的重构机制提出一种可重构实现方案,达到对算法加速的同时降低硬件资源占用率的目的。实验表明所设计的可重构方案与并行方案相比总体减少了 50% 的处理元(process element, PE)数量和 33.23% 的指令数,平均加速比达到 1.9。优化前后的算法结合视差估计进行对比验证,平均加速比达到 2.5。因此本文对 3D-HEVC 算法的实时视频编码具有一定的参考价值。

关键词: 三维高效视频编码; 深度图; 视点间预测; 阵列处理器; 并行化; 可重构

中图分类号: TN919.81 **文献标识码:** A **文章编号:** 1005-0086(2022)02-0217-08

Reconfigurable design and implementation of advanced residual prediction algorithm based on DPRAP

XIE Xiaoyan^{1*}, WANG Shuxin¹, ZHU Yun², ZHANG Xihong¹, JI Shentao¹

(1. School of Computer Science, Xi'an University of Posts and Telecommunications, Xi'an, Shaanxi 710121, China;

2. School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an, Shaanxi 710121, China)

Abstract: In order to solve problems of long encoding time and high hardware acceleration resource occupancy rate caused by the advanced residual prediction (ARP) algorithm which does not make full use of the data characteristics of depth map in three-dimensional high efficiency video coding (3D-HEVC), a fast ARP selection algorithm based on reconfigurable hardware implementation is proposed. Firstly, the depth map is divided into three regions according to its data characteristics, and then the threshold is set to select the advanced residual prediction algorithm in different regions quickly, so as to reduce the coding time. The experimental results show that compared with the standard platform HTM16.1, the fast selection algorithm reduces the encoding time by 8.10% when the average peak signal to noise ratio (PSNR) loss is only 0.019 dB. Finally, the dynamic programmable reconfigurable array processor (DPRAP) is used to accelerate the ARP fast selection algorithm in parallel, and then a reconfigurable implementation scheme is proposed based on the reconfiguration mechanism of the array processor, so as to accelerate the algorithm and reduce the hardware resource occupancy. The experimental results show

* E-mail: xxy@xupt.edu.cn

收稿日期: 2021-05-14 修订日期: 2021-06-15

基金项目: 国家自然科学基金资助项目(61834005, 61772417, 61802304, 61602377, 61874087, 61634004)和陕西省重点研发计划(2021GY029, 2021KW-16)资助项目

that compared with the parallel scheme, the total number of the process element (PE) and instructions are respectively reduced by 50% and 33.23%, and the average speedup is 1.9. The algorithm before and after optimization is compared with disparity estimation, and the average speedup is 2.5. Therefore, this study has a certain reference value for real-time video coding of 3D-HEVC algorithm.

Key words: 3D-HEVC; depth map; inter-view prediction; array processor; parallelization; reconfigurable

1 引 言

3D-HEVC 标准中的高级残差预测 (advanced residual prediction, ARP) 算法是用于多视图视频和深度图的编码^[1]。编码时独立视点间采用运动估计提高运动补偿预测的编码效率, 非独立视点间采用视差估计提高视差补偿预测的编码效率, 整个预测过程带来了较高的计算复杂度^[2]。目前解决这类问题的方法主要分为两种, 一种在算法层面降低计算复杂度^[3-5], 另一种通过设计专用硬件架构来实现高效编码^[6,7], 但同时兼顾算法和硬件实现的优化方法还比较少。

从算法层面的解决方法来看, 一类是引入用于降低模式决策计算复杂度的传统算法, 以加速选择主导候选预测模式^[3]。另一类是目前采用的主流方法, 删除或跳过候选块^[4,5]。上述方案对计算过程优化时却以损失一定程度的编码性能和质量为代价。为保证编码质量且满足实时视频编码的需求, 通过软件优化和硬件编码器加速的协同设计是很好的选择。然而文献[3]中使用的拉格朗日优化函数、文献[4]中定义的运动预测器的计算量大且复杂度高, 不利于在专用硬件上实现算法加速。

目前多媒体工程师们利用硬件编码器来实现视频算法的技术越来越成熟^[6,7]。VAYALIL 等^[6]提出了一种基于专用硬件的全搜索可变块大小运动估计算法, 虽然大大提高了算法的计算速度, 但都是以消耗较多的硬件资源为代价。韩佳等^[7]在提出的可重构阵列结构上实现运动估计中绝对差值和算法。但是该结构簇内通信通过路由访问相邻的 8 个处理元来完成导致资源占用量大, 没有充分体现可重构系统的优越性。

综上, 利用深度图数据特性对算法进行优化, 并通过硬件加速改善 ARP 算法预测过程计算量大、编码时间长的的问题。本文结合动态可编程可重构阵列处理器 (dynamic programmable reconfigurable array processor, DPRAP), 首先整合 ARP 算法内部可并行部分对算法进行加速, 分别实现时域 ARP 和视点间 ARP 算法的并行化设计。然后为进一步提高硬件的资源利用率, 基于深度阈值

采用算法的并行操作实现不同区域下时域 ARP 和视点间 ARP 算法的可重构切换。相较于并行设计, 可重构设计减少了指令和 PE 的使用。从而达到算法效率、编码质量和硬件资源使用的良好折中。

2 相关工作

2.1 高级残差预测算法

3D-HEVC 中新增的 ARP 算法, 其核心是利用视点间的残差信息构造残差预测值以进一步预测来减少视点间冗余。若当前块的参考块是时域参考块, 此时采用时域 ARP, 若是视点间的参考块, 则采用视点间 ARP^[1]。

ARP 算法在深度图进行编码时, 深度图的数据特性是一个介于 0—255 之间的整数值。不同背景区域下深度值大小存在一定的差异并且包含不同的信息^[8]。在深度值不同的运动变化区域中, 宏块 (macro block, MB) 预测方向的运动状态分布不同。因此测试序列在选择时域 ARP、视点间 ARP 时倾向性有所差别。

2.2 可重构设计需求

深度图中编码 ARP 算法时数据量较大和时间长。若在传统的硬件平台上直接实现加速, 会出现操作复杂, 硬件加速资源占用率高等问题^[9]。

因此, 本文首先利用 DPRAP 实现 ARP 算法的并行加速。然后为进一步提高硬件的资源利用率, 基于 DPRAP 的重构机制并采用算法的并行操作和 2.1 节提出的思路, 分析不同区域模式下宏块对时域和视点间 ARP 算法的选择比例。最后通过阵列和指令可配置的特性来动态实现在深度图中不同区域下 ARP 算法灵活切换的目的。

2.3 DPRAP 可重构机制

本文使用的动态可编程可重构阵列处理器^[10]如图 3 所示, 共由五部分组成。该处理器包含一种基于 H-Tree 的层次化配置网络 (H-tree based reconfiguration mechanism, HRM), 其核心计算部分由 8×8 个簇 (processing element group, PEG) 组成, 每个 PEG 包含 16 个处理元 (process element, PE)。当资源有限却有多个算法需要进行映射时, 为了减小硬件实现的资源消耗, 可以将不同配置的算法指令

初始化在同一 PE 不同的指令存储中。这一结构特性很好地支持了本文利用深度值在不同区域灵活切换时域 ARP 和视点间 ARP 算法的这一特性。基于这种动态可重构机制,将时域和视点间 ARP 算法指令初始化在同一 PE 不同的指令存储中,通过指令调用、反馈、下发等操作能够根据阈值在两种算法之间进行切换,实现优化后的高级残差预测算法在视频阵列上动态重构。最终达到降低计算复杂度,减少编码时间和硬件资源开销的目的。

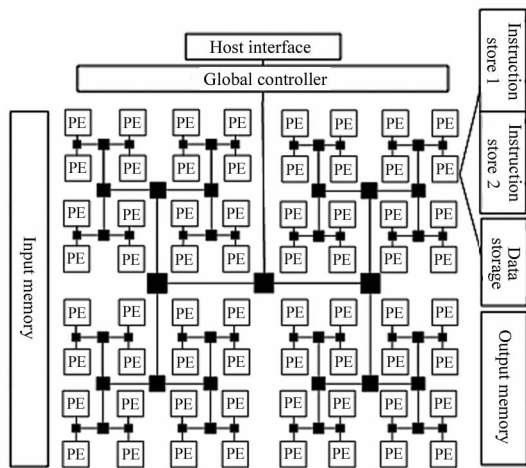


图 1 动态可编程可重构阵列处理器

Fig. 1 Dynamic programmable reconfigurable array processor

3 高级残差预测算法的可重构设计与实现

3.1 深度图中不同区域 ARP 算法的选择与分析

现有的优化方案若直接利用硬件加速时,其使

用的优化方法计算复杂和硬件的匹配度低^[3]。若面向硬件实现会造成大面积的电路开销,资源消耗严重^[11]。因此,本文充分利用深度图的数据特性,提出一种易于硬件实现的 ARP 快速选择算法,计算式为:

$$\begin{cases} Z_{MB} > Z_0, MB \in \text{近区域宏块} \\ Z_1 \leq Z_{MB} \leq Z_0, MB \in \text{中区域宏块} \\ Z_{MB} \leq Z_1, MB \in \text{远区域宏块} \end{cases} \quad (1)$$

将近区域标记为 Z_0 ,远区域标记为 Z_1 ,其对应的深度值分别为 255 和 0。为保证实验编码的精度,若当前所设的深度阈值统计出时域和视点间 ARP 算法的选择次数有一个为 0 或均为 0 时,则将深度阈值 Z_0 和 Z_1 按照步长为 5 进行减少或增加,直到统计出不同区域下时域和视点间 ARP 算法有效的执行次数为止,此时便可得到最终的深度阈值 Z_0 和 Z_1 。再将当前宏块深度值 Z_{MB} 带入公式(1)中判断,得出当前宏块的所属区域以及该区域 ARP 算法的分布情况。基于上述方法进一步分析各个测试序列中在不同区域模式宏块的时域和视点间 ARP 算法的选择比例统计结果如表 1 所示。

由表 1 可知,GT_fly,Undo_Dancer 和 Poznan_Stree 测试序列在近区域模式下选择时域 ARP 大于 94%,选择视点间 ARP 小于 6%,更倾向于选择时域高级残差预测算法。序列 Kendo,Balloons 和 Newspaper 在远区域模式下选择时域 ARP 大于 94%,选择视点间 ARP 小于 6%,更倾向于选择时域高级残差预测算法。序列 Poznan_Hall2 在近区域、中区域和远区域模式下选择时域 ARP 均大于 94%,故均倾

表 1 不同区域模式宏块的时域和视点间 ARP 算法的选择比例统计结果

Tab. 1 Statistical results of ARP algorithm selection ratio between time domain and viewpoint for macroblocks with different region modes

Test sequence	Near regions mode		Middle region mode		Far region mode	
	Interview ARP	Temporal ARP	Interview ARP	Temporal ARP	Interview ARP	Temporal ARP
GT_fly	5.1%	94.9%	12.7%	87.3%	11.7%	88.3%
Undo_Dancer	5.1%	94.9%	10.6%	89.4%	10.6%	89.4%
Poznan_Street	4.4%	95.6%	19.8%	80.2%	11.4%	88.6%
Kendo	19.4%	80.6%	10.2%	89.8%	3.9%	96.1%
Balloons	10.3%	89.7%	6.8%	93.2%	3.9%	96.1%
Newspaper	10.5%	89.5%	9.4%	90.6%	3.9%	96.1%
Poznan_Hall2	1.7%	98.3%	5.3%	94.7%	5.3%	94.7%

向于选择时域高级残差预测算法。

3.2 高级残差预测算法并行化实现

时域高级残差预测和视点间高级残差预测算法,在获取运动矢量信息和视差矢量信息时由于一个运动方向在时域方向,一个运动方向在视点间方向,数据存在较小的相关性。因此本文首先采用两

个 4×4 阵列结构的PEG结合4.1节提出的ARP算法中阈值计算,在DPRAP上对算法进行并行实现。图2为3条路径并行的高级残差预测法映射图,相较于优化前的算法,有效提高了整体编码效率。但是算法并行使用了两个簇的硬件存储,大大增加了PE中需要存储的指令数和电路的面积和功耗。

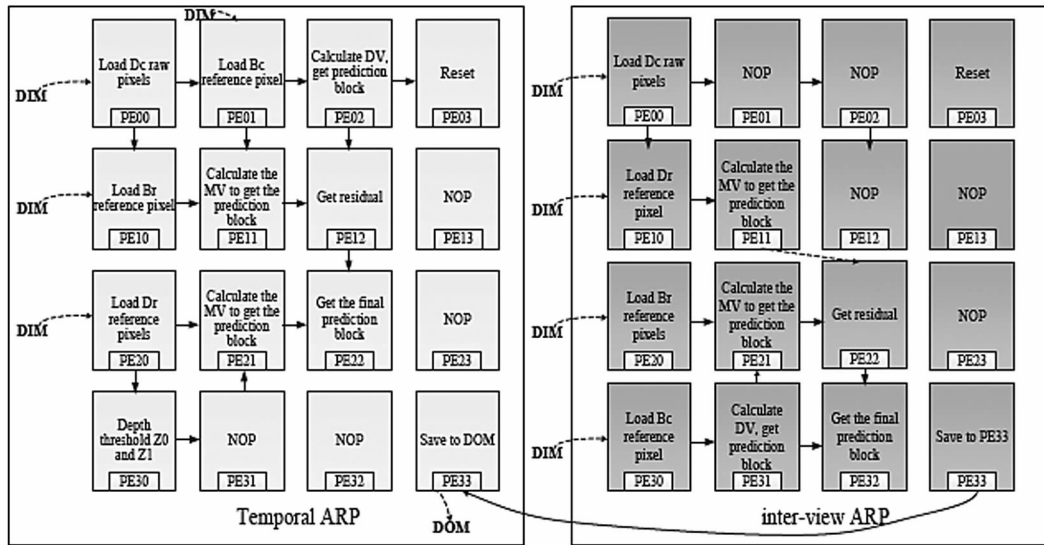


图2 高级残差预测算法映射图

Fig. 2 Map of advanced residual prediction algorithm

3.3 高级残差预测算法可重构实现

为进一步提高硬件资源的利用率,结合4.2节对算法的并行实现并对算法指令进行复用,采用一个 4×4 阵列结构的EG对所提出的优化算法进行可

重构实现。高级残差预测算法重构映射如图3所示,通过全局控制器传送相关指令来完成时域ARP和视点间ARP算法的重构操作。

具体重构过程如下:

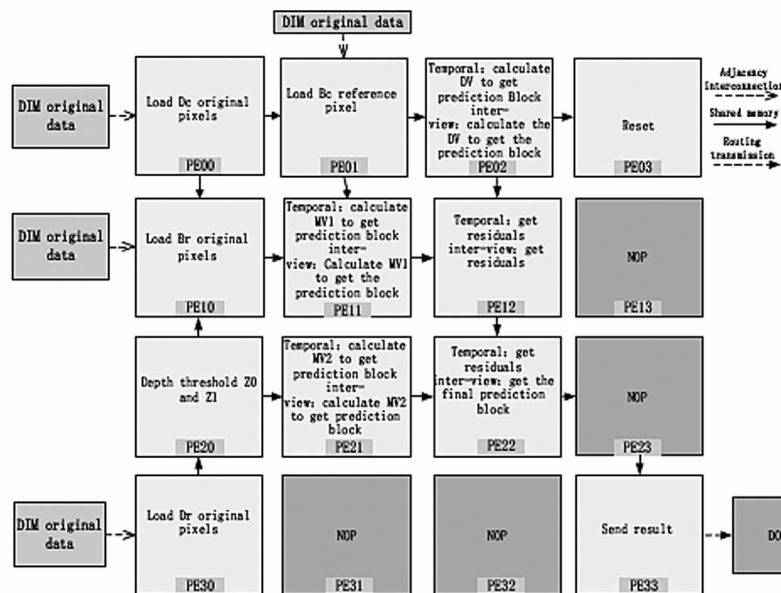


图3 高级残差预测算法重构映射图

Fig. 3 Map reconstruction based on advanced residual prediction algorithm

第一步:数据准备阶段。首先在输入存储器(data input memory, DIM)存储外部数据和所有算法的指令信息。

第二步:PE00 执行原始块数据的加载以及下发过程。首先,PE00 从外部 DIM 数据存储中加载原始块数据,并依次存储至 PE01 和 PE10 中。当像素值都加载完成后,PE00 再通过 PE 内共享存储的方式将原始块数据下发至 PE30。

第三步:PE20 中设置深度阈值 Z_0 和 Z_1 ,然后通过阈值判断当前 CU 所在区域。若当前 CU 为远区域时,在 PE20 中存储 8888 信号标志。如果当前 CU 为近区域和中区域时,PE20 在存储 8888 信号标志后紧接存储 9999 信号标志。PE20 执行完后,通过 HRM 反馈网络得到两个标志位 8888 和 9999。其中 8888 代表下发时域 ARP 算法,9999 代表下发视点间 ARP 算法。

第四步:将时域 ARP 和视点间 ARP 算法的指令同时下发至 PE02、PE11、PE12、PE21、PE22 同一 PE 不同地址的指令存储中。若 HRM 获取的标志位只为 8888 时切换为时域 ARP 算法,启动 PE 工作。若 HRM 同时检测到标志位 8888 和 9999 时,则首先切换时域 ARP 算法,当时域 ARP 算法执行完成后,通过共享存储写入标志位。然后 HRM 通过反馈网络循环检测到该标志位后切换为视点间 ARP 算法,启动 PE 执行。

4 实验结果

4.1 算法功能分析

为了验证本文提出的可重构方案的可行性,基于 DPRAP 结构进行验证。方法采用 3D-HEVC 标准测试平台 HTM16.1,通过 Visual Studio 2017 进行编译和测试。视频测试序列包括 3 个 1920×1088 序列(Undo_Dancer, Poznan_Hall2, Poznan_Street)和 3 个 1024×768 序列(Kendo, Balloons, Newspaper)。另外,使用通用测试条件规定的纹理图和深度图量化参数 QP(quantization parameter)按组设为 (25,34), (30,39), (35,42), (40,45),每个测试序列测试 10 帧。采用 3 个视点编码,编码顺序分别是中间视点到左视点再到右视点,中间视点为独立视点,实验测试参数如表 2 所示。

在 3D-HEVC 中为了验证本文算法的有效性,将本文算法与现有的标准平台 HTM16.1 版本算法进行比较,这里主要从所提方法带来的速度增益以及付出的相应代价—峰值信噪比 Y-PSNR,结构相似性 SSIM(structural similarity index),率失真优化

RDO(rate distortion optimization)与编码时间(Time)来考虑。

表 2 实验测试参数

Tab. 2 Experimental test parameters

Test sequence	Resolution	Frame rate	Viewpoint order
Poznan_Hall2	1920×1088	25	6-7-5
Poznan_Street	1920×1088	25	4-5-3
Undo_Dancer	1920×1088	25	5-1-9
Kendo	1024×768	30	3-1-5
Balloons	1024×768	30	3-1-5
Newspaper	1024×768	30	4-2-6

1) $\Delta Time$ 指本文所提出的方法与现有的标准平台 HTM16.1 版本算法的编码时间之差的百分比,编码器计算复杂度的度量采用编码器平均执行时间的减少量 $\Delta Time$ 表示为:

$$\Delta Time = \frac{1}{4} \sum_{i=1}^4 \frac{time_{HTM}(QP_i) - time_{proposed}(QP_i)}{time_{HTM}(QP_i)} \times 100\%。(2)$$

2) $\Delta SSIM$ 指本文所提出的方法与现有的标准平台 HTM16.1 版本算法的图像质量评价指标结构相似性的百分比,定义计算式为:

$$\Delta SSIM = \frac{1}{4} \sum_{i=1}^4 \frac{SSIM_{HTM}(QP_i) - SSIM_{proposed}(QP_i)}{SSIM_{HTM}(QP_i)} \times 100\%,(3)$$

式中,SSIM 表示结构相似性, $\Delta SSIM$ 值越高表示图像间的相似度越强,其合成的图像质量越好。

3) ΔRDO 指本文所提出的方法与现有标准平台 HTM16.1 版本算法的率失真进行比较的百分比,与原算法进行对比差值越小越可以证明所提出的算法可以保证视频的编码质量,未造成算法质量的损失,计算式为:

$$\Delta RDO = \frac{1}{4} \sum_{i=1}^4 \frac{RDO_{HTM}(QP_i) - RDO_{proposed}(QP_i)}{RDO_{HTM}(QP_i)} \times 100\%。(4)$$

4) $\Delta Y-PSNR$ 指本文所提出的方法与 HTM 的峰值信噪比的百分比,计算式为:

$$\Delta Y-PSNR = \frac{1}{4} \sum_{i=1}^4 Y-PSNR_{HTM}(QP_i) - Y-PSNR_{prop}(QP_i) \times 100\%,(5)$$

式中, $Y-PSNR_{prop}(QP_i)$ 表示文中方法的亮度峰值信噪比, $Y-PSNR_{HTM}(QP_i)$ 表示 HTM 编码器得到的

亮度峰值信噪比。 $PSNR$ 表示视频图像的质量, $PSNR$ 越高表明图像的质量越好。

节省的编码时间与编码质量的对比如表 3 所示。本文所提出的方法与 HTM16.1 相比,编码时间平均减少了 8.103%,相较于文献[11]、[12]编码时间得到大幅度缩减,相较于文献[13]本文提出的面向硬件设计的 ARP 快速选择方法,在计算复杂度大幅度降低的同时视频图像质量更好, $Y-PSNR$ 只降低了 0.019 dB,可见的影响非常小,可以忽略不计。因此,本文提出的方法在保证视频质量和码率

几乎不变的前提下,有效地降低了编码时间,提高了编码效率。其次,平均 $SSIM$ 值分别提高了 0.767、0.01、0.422、0.073、和 0.309。 $SSIM$ 值越高则表示图像间的相似度越强,此时合成的图像质量越好。其中序列 Kendo 的平均 $SSIM$ 值虽然降低了 0.196,但是合成后质量损失极低,可忽略不计。 ΔRDO 为 0.000 2 表明原 3D-HEVC 算法与本文算法的率失真基本一致,因此本文所提出的算法在保证视频编码质量的同时也未造成算法质量的损失。故本文提出的改进方法比原 HTM16.1 算法性能

表 3 节省的编码时间与编码质量的对比
Tab. 3 Comparison of saved coding time and coding quality

Test sequence	The proposed algorithm			[11]	[12]	[13]	$\Delta SSIM$	ΔRDO
	Resolution	$\Delta Time / \%$	$\Delta Y-PSNR$	$\Delta Y-PSNR$	$\Delta Time / \%$	$\Delta Time / \%$		
Undo_Dancer	1920×1088	9.37	0.004	0.4	3.2	0.03	0.767	0.001
Poznan_Street	1920×1088	9.93	0.009	0.9	3.6	0.03	0.01	0.002
Kendo	1920×1088	7.21	0.059	1.5	2.3	-0.04	-0.196	0.005
Balloons	1024×768	6.57	0.013	1.1	3.4	-0.01	0.422	0.001
Newspaper	1024×768	8.26	0.012	1.1	3.6	0.35	0.073	0.001
Poznan_Hall2	1024×768	7.31	0.003	1.3	3.7	-0.06	0.309	0.001
Average	ALL	8.103	0.019	0.9	3.2	0.04	0.231	0.000 2

略佳。

4.2 硬件方案指令数对比结果

本文在动态可编程可重构阵列处理器上提出利用深度阈值对 ARP 算法进行并行实现方案和可重构实现方案。对不同方案指令数对比统计结果如表

4 所示,相较于并行方案可重构方案总体平均减少使用了 33.23% 的指令条数。综上从数据不难看出,重构方案优化后的操作大大减少了指令条数可以进一步降低运算时间。对于一个宏块,乃至一帧图像来说,这样进行可重构设计优化的效果都是很明显的。

表 4 不同方案指令数对比统计结果
Tab. 4 Comparison of instruction number of different schemes

Optimization plan	Arithmetic operation shift instruction					Data transfer instructions			Jump instruction		
	Addition	Subtraction	Absolute value	Other	Total	Read	Write	Total	Jump	Judgment	Total
Parallelization	1236	329	21	1119	2705	578	614	1192	113	495	608
Reconfigurable	1084	283	12	380	1759	400	292	692	99	371	470
Optimization rate /%	12.3	14	42.9	66	35	30.8	52.4	42	12.4	25.1	22.7

4.3 硬件综合对比结果

通过全局控制器传送相关指令来完成时域 ARP 和视点间 ARP 算法的重构操作。在 QuestaSim 上进行仿真验证,编码时间结果如表 5 所示。本文首先统计了测试序列在并行方案和可重构方案中的编

码时间与加速比。然后统计了非独立视点间优化前后的算法采用视差估计进行预测的编码时间与加速比。不难看出优化后的 ARP 算法,可以大大缩短编码时间。

硬件设计采用 Xilinx 公司 Virtex-6 的

XC6VLX550T FPGA 芯片在 ISE 下进行综合测试。如表 6 所示是 ARP 快速选择算法在 DPRAP 阵列结构并行设计和重构设计的硬件参数以及结合视差估计进行预测在阵列结构中实现的硬件资源结果对比。首先表中可重构方案相比于时域 ARP 算法和视点间 ARP 算法分别用一个簇实现时,可重构方案节省了 42.2%的 Slice Registers 和 46.8%的 LUTs 值,节省了不必要的硬件开销。并且总体减少了 50%的 PE 数量,此外,时域 ARP 算法和视点间 ARP 算法进行切换时不需要重新设计电路结构,可以对算法进行灵活配置,提供了远高于专用硬件的

灵活性。然后结合视差估计进行预测,文献[14]用于执行包括运动估计和运动补偿机制在内的整体帧间预测和视图间处理,本文视差估计和运动补偿模块的频率是其 3 倍之多,资源消耗整体上和文献[14]相近。文献[15]提出了基于并行实现方案的视点间视差估计算法,在硬件资源和本文相当的情况下,本文的工作频率是它的 1.2 倍。因此本文提出的易于硬件实现的 ARP 优化算法在保证编码质量的前提下,是解决整个预测过程计算复杂度高的有效方案。所用的硬件结构不但在工作频率和资源消耗方面具有一定优势,而且灵活性还高于专用硬件。

表 5 编码时间结果/ns
Tab. 5 Coding time results/ns

Test sequence	Parallelization	Reconfigurable	Speedup ratio	Original algorithm	Optimized algorithm	Speedup ratio
Undo_Dancer	1 758 490	633 095	2.8	6 084 363	2 433 745	2.5
Poznan_Street	1 265 404	645 356	2.0	3 671 825	1 359 935	2.7
Kendo	1 299 110	675 537	1.9	3 436 186	1 321 610	2.6
Balloons	1 179 762	606 412	1.9	2 612 638	1 045 055	2.5
Newspaper	1 244 032	633 859	1.9	2 403 328	1 044 925	2.3
Poznan_Hall2	1 254 156	627 078	2.0	2 863 006	1 244 785	2.3
Average	1 333 492	696 602	1.9	3 511 891	1 408 343	2.5

表 6 硬件资源结果对比
Tab. 6 Comparison of hardware resource results

—	FPGA	Frequency /MHz	Slice LUTs/k	Slice Registers/k
Temporal	Virtex	140.409	39	13.7
Inter-view	Virtex-6	140.409	40	14.0
After reconstruction	Virtex-6	140.320	42	16
[14]	Virtex-6	47.24	24	—
[15]	Virtex-7	125	23	—
Prop disparity estimation	Virtex-6	149	26	—

5 结 论

本文针对 3D-HEVC 中新增的 ARP 算法进行了深入研究与探索,提出一种易于硬件加速利用深度阈值优化的 ARP 快速选择算法。首先与其他 ARP 算法的优化方案相比,本文的快速选择算法在不影响编码质量的前提下,缩短了编码时间,对硬件实现更加友好。然后结合动态可编程可重构阵列处理器,在 ARP 算法并行设计的基础上设计出一种动态可重构实现方案,对算法加速的同时大大提高了

硬件资源利用率。最后结合视差估计对 ARP 快速选择算法进行可重构验证,做到了提高视差矢量精度的同时缩短了编码时间。下一步将考虑更多的因素,其中包括进一步提高算法中数据的复用率,减少编码时间,以及降低硬件功耗开销。

参考文献:

[1] YING C,GERHARD T,KRZYSZTOF W ,et al. Test model 11 of 3D-HEVC and MV-HEVC[C]//Proceedings of Collaborative Team on 3D Video Coding Extensions (JCT-

- 3V) Document: JCT3V-K1003, 11th Meeting, February 5-8, 2015, Geneva, Switzerland. ITU-T Video Coding Experts Group and ISO/IEC Moving Picture Experts Group, 2015.
- [2] LI X, ZHANG L, YING C. Advanced residual prediction in 3D-HEVC[C]//2013 IEEE International Conference on Image Processing, September 15-18, 2013, Melbourne, VIC, Australia. New York: IEEE, 2013: 1747-1751.
- [3] LEI J, SUN J, PAN Z, et al. Fast mode decision using inter-view and inter-component correlations for multiview depth video coding[J]. IEEE Transactions on Industrial Informatics, 2015, 11(4): 978-986.
- [4] ZHANG Q, WEI S, SU R. Low-complexity texture video coding based on motion homogeneity for 3D-HEVC[J]. Scientific Programming, 2019, 2019: 1-13.
- [5] LIU S, WEI S, ZHANG Q. Low complexity texture video coding for multi-view video system reliability[J]. International Journal of Performability Engineering, 2018, 14(8): 1842.
- [6] VAYALIL N C, KONG Y. VLSI architecture of full-search variable-block-size motion estimation for HEVC video encoding[J]. IET Circuits, Devices & Systems, 2017, 11(6): 543-548.
- [7] HAN J, MAO Z G. Implementation of HEVC motion estimation algorithm based on reconfigurable system[J]. Information Technology, 2016, 40(11): 12-17.
韩佳, 毛志刚. 基于可重构系统的 HEVC 运动估计算法实现[J]. 信息技术, 2016, 40(11): 12-17.
- [8] ZHANG Q, ZHANG N, WEI T, et al. Fast depth map mode decision based on depth-texture correlation and edge classification for 3D-HEVC[J]. Journal of Visual Communication and Image Representation, 2017, 45: 170-180.
- [9] AKBARI O, KAMAL M, AFZALI-KUSHA A, et al. PX-CGRA: Polymorphic approximate coarse-grained reconfigurable architecture[C]//2018 Design, Automation & Test in Europe Conference & Exhibition (DATE), March 19-23, 2018, Dresden, Germany. New York: IEEE, 2018: 413-418.
- [10] YANG K, JIANG L, XIE X Y, et al. Realization of dynamically reconfigurable rate-distortion optimization algorithm in HEVC[J]. Computer Engineering and Science, 2021, 43(2): 354-361.
杨坤, 蒋林, 谢晓燕, 等. HEVC 中率失真优化算法的动态可重构实现[J]. 计算机工程与科学, 2021, 43(2): 354-361.
- [11] ZHANG L, CHEN Y. Advanced residual prediction enhancement for 3D-HEVC[C]//2014 IEEE International Conference on Multimedia and Expo Workshops (ICMEW), July 14-18, 2014, Chengdu, China. New York: IEEE, 2014: 1-5.
- [12] SANCHEZ G, SALDANHA M, ZATT B, et al. Edge-aware depth motion estimation—A complexity reduction scheme for 3D-HEVC[C]//2017 25th European Signal Processing Conference, August 28-September 2, 2017, Kos, Greece. New York: IEEE, 2017: 1524-1528.
- [13] ZHOU Z C, JIA K B. Group searching and proportion combination based disparity vector derivation for 3D-HEVC[C]//2014 IEEE International Conference on Image Processing (ICIP), October 27-30, 2014, Paris, France. New York: IEEE, 2014: 3828-3831.
- [14] BAHRAN N A, EL-SHAFAI W, ZEKRY A, et al. An FPGA design and implementation of EPZS motion estimation algorithm for 3D H. 264/MVC standard[J]. Multimedia Tools and Applications, 2019, 78(16): 22351-22396.
- [15] WANG Y, LI X, ZHU Y, et al. A fast inter-view mode selection algorithm based on video array processor[C]//2019 Asia-Pacific Signal and Information Processing Association Annual Summit and Conference, November 18-21, 2019, Lanzhou, Gansu, China. New York: IEEE, 2019: 1435-1442.

作者简介:

谢晓燕 (1972—), 女, 硕士, 教授, 硕士生导师, 主要研究领域是多媒体数据处理和并行计算架构设计。